

⑫ 公開特許公報(A) 平4-54006

⑨ Int. Cl.⁵H 03 F 3/60
1/00
3/68

識別記号

A
B

庁内整理番号

8836-5J
7239-5J
8326-5J

⑬ 公開 平成4年(1992)2月21日

審査請求 未請求 請求項の数 6 (全13頁)

⑭ 発明の名称 増幅装置

⑯ 特 願 平2-164395

⑰ 出 願 平2(1990)6月22日

⑱ 発 明 者 木 林 利 光 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 戸 田 善 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 伊東 忠彦 外2名

明 細 書

1. 発明の名称

増幅装置

2. 特許請求の範囲

(1) 入力側に接続される回路との間のインピーダンスを改善し、伝送特性を確保するための第1のサーキュレータ(11)と、

該第1のサーキュレータ(11)より取り出された入力信号をインピーダンス変換すると共に等レベルでm分配(ただし、mは2以上の整数)するm分配器(12)と、

該m分配器(12)により分配された各信号が別々に入力され、その入力信号を通過又は遮断する全部でm個の第1のスイッチ(13、～13。)と、

該第1のスイッチ(13、～13。)より取り出された信号が別々に入力されて電力増幅を互いに独立して行なう全部でm台の増幅ユニット

(15、～15。)と、

該増幅ユニット(15、～15。)の各出力信号が別々に入力され、それを通過又は遮断する全部でm個の第2のスイッチ(16、～16。)と、

該第2のスイッチ(16、～16。)の各出力信号を一つに合成してインピーダンス変換する合成器(17)と、

該合成器(17)の出力信号を出力端子(20)へ出力する、負荷との整合を十分とるための第2のサーキュレータ(18)と、

m系統ある前記第1のスイッチ(13、～13。)増幅ユニット(15、～15。)及び第2のスイッチ(16、～16。)の夫々に対して、各系統毎に動作電圧を供給する全部でm個の電源部(21、～21。)と、

該電源部(21、～21。)の各々の動作を互いに独立して制御する制御回路(22)と、よりなる増幅装置であって、

前記第1及び第2のスイッチ(13、～13。、16、～16。)の各々は、前記増幅ユニット

(15, ~15.)の入力端又は出力端に接続されたダイオード(D, ~D., D, ' ~D, ')とし、

前記電源部(21, ~21.)の各々は、前記制御回路(22)の指示に従って対応する一系統の前記増幅ユニットの停止時又は再始動時に、該一系統の前記第1及び第2のスイッチを構成するダイオードのバイアス電圧を、該増幅ユニット(15, ~15.)に入力される信号のシンボレートより十分遅い速度で緩慢に変化させて該ダイオードを徐々に信号遮断状態又は信号通過状態とする電圧供給手段(211)と、

該一系統の増幅ユニット停止時は該一系統のダイオードが信号遮断状態とされたとき該増幅ユニットの電源電圧を切断し、該一系統の増幅ユニットの再始動時は該一系統のダイオードが信号通過状態に達する前に該増幅ユニットの電源電圧の印加を開始する電源電圧印加手段(212)と、

を有する構成としたことを特徴とする増幅装置。

(2) 前記m台の増幅ユニット(15, ~

又は2記載の増幅装置。

(5) 前記第1及び第2のスイッチ(13, ~13., 16, ~16.)はリレー又は同軸スイッチであり、前記電圧供給手段(211)は該リレー又は同軸スイッチをオン又はオフに制御する制御電圧を発生する構成とし、前記m台の増幅ユニット(15, ~15.)の各々は、該増幅ユニット(15, ~15.)の停止時はその停止前に該増幅ユニット(15, ~15.)の出力レベルを落とし、該増幅ユニット(15, ~15.)の再始動時には前記電源電圧印加手段(212)による電源電圧の印加開始後に該増幅ユニット(15, ~15.)の出力レベルを所要値に設定する、可変減衰器を有することを特徴とする請求項1記載の増幅装置。

(6) 前記制御回路(22)は、遠隔地からの制御信号に基づいて動作することを特徴とする請求項1記載の増幅装置。

15.)の各々は、該増幅ユニット(15, ~15.)の停止時はその停止前に該増幅ユニット(15, ~15.)の出力レベルを落とし、該増幅ユニット(15, ~15.)の再始動時は前記電源電圧印加手段(212)による電源電圧の印加開始後に該増幅ユニット(15, ~15.)の出力レベルを所要値に設定する、可変減衰器(154,)を有することを特徴とする請求項1記載の増幅装置。

(3) 前記ダイオード(D, ~D.)は、前記増幅ユニット(15, ~15.)の入力端又は出力端とアース間に接続され、前記電圧供給手段(211)により信号通過時オフ、信号遮断時オンとされるPINダイオードであることを特徴とする請求項1又は2記載の増幅装置。

(4) 前記ダイオード(D, ' ~D, ')は前記増幅ユニット(15, ~15.)の入力端又は出力端に直列接続され、前記電圧供給手段(211)により信号通過時オン、信号遮断時オフとされるPINダイオードであることを特徴とする請求項1

3. 発明の詳細な説明

(概要)

複数の増幅ユニットが並列接続された増幅装置に関し、

他の増幅ユニットに悪影響を与えることなく、所望の増幅ユニットを停止又は再始動することを目的とし、

入力側に接続される回路との間のインピーダンスを改善し、伝送特性を確保するための第1のサーキュレータと、該第1のサーキュレータより取り出された入力信号をインピーダンス変換すると共に等レベルでm分配(ただし、mは2以上の整数)するm分配器と、該m分配器により分配された各信号が別々に入力され、その入力信号を通過又は遮断する全部でm個の第1のスイッチと、該第1のスイッチより取り出された信号が別々に入力されて電力増幅を互いに独立して行なう全部でm台の増幅ユニットと、該増幅ユニットの各出力信号が別々に入力され、それを通過又は遮断す

る全部で m 個の第2のスイッチと、該第2のスイッチの各出力信号を一つに合成してインピーダンス変換する合成器と、該合成器の出力信号を出力端子へ出力する、負荷との整合を十分とるための第2のサーキュレータと、 m 系統ある前記第1のスイッチ、増幅ユニット及び第2のスイッチの夫々に対して、各系統毎に動作電圧を供給する全部で m 個の電源部と、該電源部の各々の動作を互いに独立して制御する制御回路とよりなる増幅装置であって、前記第1及び第2のスイッチの各々は、前記増幅ユニットの入力端又は出力端に接続されたダイオードとし、前記電源部の各々は、前記制御回路の指示に従って対応する一系統の前記増幅ユニットの停止時又は再始動時に、該一系統の前記第1及び第2のスイッチを構成するダイオードのバイアス電圧を、該増幅ユニットに入力される信号のシンボルレートより十分遅い速度で緩慢に変化させて該ダイオードを徐々に信号遮断状態又は信号通過状態とする電圧供給手段と、該一系統の増幅ユニット停止時は該一系統のダイ

オードが信号遮断状態とされたとき該増幅ユニットの電源電圧を切断し、該一系統の増幅ユニットの再始動時は該一系統のダイオードが信号通過状態に達する前に該増幅ユニットの電源電圧の印加を開始する電源電圧印加手段とを有する構成とする。

〔産業上の利用分野〕

本発明は増幅装置に係り、特に複数の増幅ユニットが並列接続された増幅装置に関する。

FM多重無線装置や車載無線装置などでは、微小電力の情報信号を大電力に増幅して送信するために、電力増幅器ユニット（以下、PAユニットと記す）を複数並列に設け、入力情報信号を入力分配回路で分配して上記複数のPAユニットに夫々入力し、複数のPAユニットから電力増幅されて取り出された情報信号を出力電力合成器で合成して送信信号として取り出す構成の増幅装置が用いられる。

このような増幅装置では、夜間などトラヒック

量減少によって回線容量が小さくて良いときやPAユニットが何らかの原因で故障したときなどに、不要になったPAユニット又は故障したPAユニットを他のPAユニットの動作に影響を与えることなく遠隔操作により自動で停止させることが必要とされる。

〔従来の技術〕

複数台並列に設けられたPAユニットの夫々に、入力信号を入力分配器で分配して供給し、またPAユニットの各々から電力増幅されて取り出された信号を出力電力合成器で合成して大電力の送信信号として取り出す構成の増幅装置は、従来例えば第7図に示す如き構成のものが知られている。同図中、60は入力分配器で、サーキュレータ62、伝送線路63、64、～64、より構成され、入力情報信号を4分配する。

端子61に入力された入力合成回路よりの情報信号は、入力インピーダンス Z_0 のサーキュレータ62を介して特性インピーダンス Z_0 の長さ

$\lambda g/4$ （ただし、 λg は波長）の伝送線路（以下TLと記す）63によりインピーダンス変換された後4分岐され、各々特性インピーダンス Z_0 の長さ $\lambda g/2$ のTL64、～64、とコネクタ65、～65、を介してPAユニット66、～66、に入力されて夫々電力増幅される。

PAユニット66、～66、の各々はサーキュレータ661、～661、電力増幅器（PA）662、～662、及びサーキュレータ663、～663、から構成されている。これらのPAユニット66、～66、から取り出された情報信号はコネクタ67、～67、特性インピーダンス Z_0 で長さ $\lambda g/2$ のTL68、～68、を夫々介して合成されて特性インピーダンス Z_0 で長さ $\lambda g/4$ のTL69に共通入力され、ここでインピーダンス変換された後、サーキュレータ70を介して端子71へ送信出力信号として取り出される。従って、この送信出力信号はPAユニット66、～66、の個々の電力増幅率の4倍の大電力に増幅されている。

上記のTL63, 64, ~64., 68, ~68, 及び69はストリップライン又は同軸ケーブルにより構成されており、またTL68, ~68., 69及びサーキュレータ70は出力電力合成器72を構成している。

このような構成の増幅装置は無線による固定通信や移動通信システムにおける無線基地局内の架の中に設けられているが、常時4台のPAユニット66, ~66.を並列運転させるものではなく、例えば短時間のフェージング時で高電力を必要とするときはすべてPAユニット66, ~66.を並列運転し、それ以外の通常使用時は例えば3台のPAユニットを並列運転し、夜間などのトラヒック量が少ないときは更に1台少ない2台のPAユニットを並列運転することで、装置の無駄な電力消費を低減するようにしている。ここで、上記のPAユニット66, ~66.のうち、使用しない時のPAユニットは、その電源が切断される(例えば、特開昭62-217708号公報)。

される回路との間のインピーダンスを改善し、伝送特性を確保する。m分配器12は第1のサーキュレータ11からの入力信号をm分配し、第1のスイッチ13, ~13.へ夫々供給する。第1のスイッチ13, ~13.は入力信号を通過又は遮断する。

15, ~15.はm台の増幅ユニットで、入力信号の電力増幅を互いに独立して行なう。16, ~16.は第2のスイッチ(SW)で、増幅ユニット15, ~15.の出力信号を通過又は遮断する。17は合成器で、第2のスイッチ16, ~16.の各出力信号をインピーダンス変換し、かつ、一つの信号に合成する。18は第2のサーキュレータで、合成器17の出力信号を出力端子20へ出力する回路で、負荷との整合を十分とるために設けられている。以上の第2のスイッチ16, ~16., 合成器17及び第2のサーキュレータ18が出力電力合成器19を構成している。また、21, ~21.は電源部、22は制御回路である。電源部21, ~21.はm系統ある第1

(発明が解決しようとする課題)

しかるに、従来はPAユニットの動作停止のために電源を単にオンからオフへ切換え、またPAユニットを再動作させるときもその電源を単にオフからオンへ切換えるだけであったため、電源切換え時点で高調波が発生し他のPAユニットに悪影響を与えたり、電源ラインにノイズがのったり、また急激な電源電圧変動によって回路素子に悪影響を与え、装置の寿命を短くしていた。

本発明は上記の点に鑑みなされたもので、他の増幅ユニットに悪影響を与えることなく、所望の増幅ユニットを停止又は再始動できる増幅装置を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理構成図を示す。同図中、入力端子10は第1のサーキュレータ11, m分配器12, m個の第1のスイッチ(SW)13, ~13.とからなる入力分配器14に接続されている。第1のサーキュレータ11は入力側に接続

のスイッチ13, ~13., 第2のスイッチ16, ~16., 増幅ユニット15, ~15.の各系統毎に設けられ、各々電圧供給手段211と電源電圧印加手段212を有している。

本発明は第1のスイッチ13, ~13.と第2のスイッチ16, ~16.にダイオードを使用したときは、電源部21, ~21.の各々の電圧供給手段211を、増幅ユニット15, ~15.に輸入される信号のシンボルレートより十分遅い速度で緩慢に変化させてダイオードを徐々に信号遮断状態又は信号通過状態とし、また電源電圧印加手段212を、増幅ユニット停止時は上記ダイオードが信号遮断状態とされたとき増幅ユニットの電源電圧を遮断し、増幅ユニットの再始動時はダイオードが信号通過状態に達する前に増幅ユニットの電源電圧の印加を開始する。

また、上記のスイッチ13, ~13.と16, ~16.にリレー又は同軸スイッチを使用したときは、電圧供給手段211はリレー又は同軸スイッチをオン又はオフに制御する制御電圧を発生

し、また、増幅ユニット15₁～15_nの各々は停止前に増幅ユニットの出力レベルを落とし、再始動時は電源電圧印加開始後に増幅ユニット15₁～15_nの出力レベルを所要値に設定する可変減衰器を有するよう構成する。

(作用)

本発明では増幅ユニット15₁～15_nの停止時は単純に電源電圧をオフとするのではなく、スイッチ13₁～13_n及び16₁～16_nのうち、停止しようとする系統のスイッチにより停止しようとする増幅ユニットを他の増幅ユニットから徐々に切離し、その後電源を切断し、一方増幅ユニットを再始動するときは電源電圧を単純にオンにするのではなく、電源電圧を印加開始後徐々にその増幅ユニットの接続を行なう(ダイオード使用時)。このため、他の増幅ユニットに与える悪影響を増幅ユニット停止時、再始動時のいずれも最少限に抑えることができる。

スイッチ13₁～13_n及び16₁～16_nと

16₁も同様にカソードが接地されたPINダイオードD₁～D_nから構成されている。なお、PINダイオードD₁～D_nのバイアス電圧はアノードに印加される。増幅ユニット15₁～15_nは夫々サーキュレータ151₁～151_nと、電力増幅器(PA)152₁～152_nと、サーキュレータ153₁～153_nとが直列接続された構成であり、PAユニットを構成している。

この増幅ユニット(以下PAユニットという)15₁～15_nは本実施例では4台あるが3台並列運転される場合を基準とし、PAユニットは2台、3台及び4台のいずれかの状態で並列運転されるものとする(後述の第2実施例も同様)。

次に本実施例の伝送線路(TL)121、122₁～122_n、171₁～171_n、172の各特性インピーダンスについて説明する。第2図に示す第1実施例のPAユニット15₁～15_nの入力側の入力分配回路と出力側の出力電力合成器は信号の流れが逆で、対称的な回路構成であるから、いずれもその等価回路は第3図に示される。同図中、第2図と

してリレーや同軸スイッチを使用したときも、リレーや同軸スイッチはオンかオフの2値の状態でしかないが、可変減衰器により増幅ユニット15₁～15_nの出力レベルを落としたり、所要値にすることで、上記と同様に他の増幅ユニットに与える悪影響を最小限に抑えることができる。

(実施例)

第2図は本発明の第1実施例の要部の構成図を示す。同図中、第1図(A)と同一構成部分には同一符号を付してある。第2図に示す実施例は第1図(A)に示す増幅装置のm=4の例で、またスイッチ13₁～13₄及び16₁～16₄にPINダイオードを使用した例である。また、サーキュレータ11の入力インピーダンスZ₁及びサーキュレータ18の出力インピーダンスZ₂は50Ωとする。

第2図において、スイッチ13₁～13₄はカソードが接地されたPINダイオードD₁～D₄から構成されている。また、スイッチ16₁～

同一構成部分には同一符号を付し、その説明を省略する。

第3図において、ストリップライン又は同軸ケーブルにより構成された分布線路である各TLのうち、TL121(172)から50Ωの負荷をみたときのインピーダンスZ₁は、負荷の並列の数をxとすると、

$$Z_1 = \frac{50}{x \cdot 50} \quad (\Omega)$$

となる。ここでは、負荷の並列の数xは最大“4”であるが、ミスマッチロス低減の観点から前記したように負荷の並列の数(PAユニットの数)xは“3”を基準としている。従って、上記のインピーダンスZ₁は上式から16.7(=50/3)Ωとなる。

また、長さλg/4で特性インピーダンスZ₁のTL121(172)のTL13₁～13₄、

(17₁～17₄)が接続されていない方の端子30から負荷側をみたインピーダンスZ₂を、整合のために端子30から反対側(サーキュレータ

11 (18) 側) をみたインピーダンス Z_0 と等しくする必要がある。従って、 $Z_1 = Z_0 = 50 \Omega$ である。

また、上記特性インピーダンス Z_1 は、

$$Z_1 = \sqrt{Z_{11} \cdot Z_{22}} = \sqrt{Z_{12} \cdot Z_{21}}$$

なる式で求めることができる。従って、上式に $Z_{11} = 16.7 (\Omega)$ 、 $Z_{22} = 50 (\Omega)$ を代入すると、 Z_1 は $28.9 (\approx 50 / 3) \Omega$ となる。

これにより、PAユニットの並列運転数を4台、3台、2台のいずれかとする場合は、並列運転数として“3”を基準とする本実施例によれば、PAユニットの並列運転数が4台、2台の場合でもミスマッチロスを最小にすることができる。

再び第2図に戻って説明するに、PAユニット15₁～15₄を夫々並列運転させるときは、PINダイオードD₁～D₄は後述の電源部21₁～21₄からバイアス用コイル(図示せず)を介してアノードに印加される負の直流電圧により逆バイアスされ、かつPINダイオードD₁～D₄、

Ω 、長さ $\lambda g/4$ のTL171₁～171₄により合成され、特性インピーダンス 28.9Ω 、長さ $\lambda g/4$ のTL172において 50Ω に整合された後、サーキュレータ18を経由して端子20へ大電力(例えば100 W)の送信出力信号として出力される。サーキュレータ18は出力電力合成器の出力インピーダンスが変化しても、負荷との整合を十分とるために設けられている。

このような構成の増幅装置の第1実施例において、増幅ユニット15₁～15₄は夫々同一構成であり、また第1図に示した電源部21₁～21₄も同一構成であるので、代表してk番目(ただし、 $k=1, 2, 3, 4$)の増幅ユニット15_k及び電源部21_kの詳細な回路構成を第4図に示す。同図中、第1図及び第2図と同一構成部分には同一符号を付してある。

第4図において、電源部21_kは直流の-21 V又は-48 Vを動作用電圧とする+5 V及び-300 V発生用電源回路41、+10 V発生用電源回路42、-5 V発生用電源回路43と、電源

もバイアス用コイル(図示せず)を介して印加される負の直流電圧により逆バイアスされる。この場合、通過する信号を整流しないように、上記の負の直流電圧は例えば、PINダイオードの許容電力が200 Wであるとき-300 Vに設定される。

次に本実施例の動作について説明する。入力端子10よりサーキュレータ11を経由した信号は特性インピーダンス Z_1 が 28.9Ω 、長さ $\lambda g/4$ のTL121により前記インピーダンス Z_1 ($=16.7 \Omega$) にインピーダンス変換された後、特性インピーダンス 50Ω 、長さ $\lambda g/4$ のTL122₁～122₄により4分配され、逆バイアスされてオフ状態にあるPINダイオードD₁～D₄によるスイッチ13₁～13₄を通してPAユニット15₁～15₄に夫々入力される。

PAユニット15₁～15₄により互いに独立して電力増幅された信号は、合成点より $\lambda g/4$ 離れた位置で対アース間に接続されたPINダイオードD₅～D₈により構成されたスイッチ16₁～16₄を通り、特性インピーダンス 50Ω

回路41からの+5 Vと-300 Vの直流電圧を連続的に無段階又は段階的に切替える切換回路44と、切換回路44を制御する立上り立下り制御回路45と、電源回路42からの+10 Vの直流電圧を通過又は遮断するスイッチ回路46とから構成されている。このうち、電源回路41、切換回路44及び立上り立下り制御回路45は前記電圧供給手段211を構成し、また電源回路42、43及びスイッチ回路46は前記電源電圧印加手段212を構成している。

また、PAユニット15_k内には第2図では図示を省略したが、サーキュレータ151_kとPA152_kとの間に可変減衰器(VATT)154_kが設けられ、またPA152_kの出力信号に基づいてPA152_kの出力信号レベルが制御回路22からの制御信号ATT CONT_kにより設定されるレベルとなるよう可変減衰器154_kの利得を制御するAGC回路155_kとより構成されている。更に、L₁、L₂はバイアス用コイル、R₁、R₂は抵抗、C₁、C₂はコンデンサで、これら

は切換回路44からの直流電圧をPINダイオードD₁、D₂にバイアス電圧として印加するための回路を構成している。

なお、PA152は電界効果トランジスタを用いた電力増幅器であり、+10Vの電源電圧のオン/オフに無関係に常時-5Vの電圧が電源回路43より印加される構成とされている。

かかる構成の回路において、PAユニット15を停止させようとする時は、遠隔地にある中央基地局から端子47を介して制御信号が入力される。この制御信号はどのPAユニットを停止/再始動させるかの内容の信号であり、制御回路22はこの制御信号に基づいてPAユニット15を停止させる旨の指示があったことを確認すると、第5図(B)に示す如く時刻t₁で可変減衰器154の利得を最小に制御する制御信号ATT CONT.を発生し、また第5図(C)に示す如くローレベルのバイアス制御信号SW CONT.を時刻t₁で発生して立上り立下り制御回路45に供給する。なお、第5図(A)は制御回路

22の入力制御信号内容を模式的に示し、ローレベルが停止、ハイレベルがPAユニット作動を示す。

上記ATT CONT.によりPA152の出力レベルは最小値に落とされる。また、立上り立下り制御回路45は上記のバイアス制御信号SW CONT.の立下りを検出すると、切換回路44をそれまでの-300V出力状態から+5Vへ緩慢に(例えばPAユニット15の入力信号のシンボルレートの速度(例えばシンボルレートが20kbpsとすると1シンボルあたり50μs)より十分遅い速度である10ms~30msかけて徐々に)切換制御する。これにより、切換回路44から第5図(D)に示す如く時刻t₁から時刻t₂にかけて-300Vから+5Vへ徐々に変化するバイアス電圧が取り出され、このバイアス電圧は抵抗R₁、コンデンサC₁及びバイアス用コイルL₁よりなる回路を介してPINダイオードD₁のアノードに印加される一方、抵抗R₂、コンデンサC₂及びバイアス用コイルL₂よりなる

回路を介してPINダイオードD₂のアノードに印加される。

これにより、PINダイオードD₁及びD₂はオフ状態から能動状態を経てオン状態に到るため、PAユニット15の入力端Aと出力端Bとの間が第5図(E)に模式的に示す如く開放

(オープン)の状態から徐々に短絡(ショート)の状態へと遷移し、またTL122の入出力端A、A'間、及びTL171の入出力端B、B'間では各々短絡状態から開放状態へ遷移し、時刻t₂で開放状態となる。この結果、PAユニット15は時刻t₂で等価的に分岐点A'及びB'で切り離される。

一方、制御回路22はこの時刻t₂で第5図(F)に示す如くローレベルの電源制御信号RC.を発生してスイッチ回路46に印加し、スイッチ回路46をそれまでのオン状態からオフ状態へスイッチング制御する。これにより、電源回路42から取り出された+10Vの直流電圧はスイッチ回路46を通してPA152へ電源電圧として時

刻t₂以前供給されていても、第5図(G)に模式的に示す如く時刻t₂以降はスイッチ回路46によりPA152へ電源電圧として印加されなくなる。この結果、PA152は+10Vの電源電圧の切断により、他のPAユニットに影響を与えることなく停止する。

このように、本実施例によれば、可変減衰器154によりPA152の出力レベルを最小値に落としてからPAユニット15を分岐点A'、B'で徐々に切り離した後、電源電圧+10Vを切断するようにしたため、電源電圧切断時に従来生じていた高調波の発生(スペクトラム拡散)や電源ラインへのノイズ重畳は発生せず、また回路素子に悪影響を与えることもなく、遠隔操作で消費電力を低減することができる。

また、PAユニット15を切り離した場合、加えられた入力信号は僅かに生じる不整合損失を除いて残りのPAユニットに効率良く加えられ、各PAユニットの出力がそれだけ増加し、更に合成点にて僅かに生じる不整合損失を除いて負荷に

供給されるため、各PAユニットの出力に余裕があれば並列運転数を変えても最終の合成出力レベルは殆ど変わらないようにできる。

次に停止しているPAユニット15。を再始動させる場合について説明する。この場合は制御回路22が第5図(A)に模式的に示す如く、中央基地局からの制御信号により時刻 t_1 でPAユニット15。の再始動を検出すると、同図(C)に示すバイアス制御信号SW CONT。を時刻 t_1 で立ち上げる。これにより、立上り立下り制御回路45が上記SW CONT。の立ち上げ検出時点 t_1 から第5図(D)に示す如く切換回路44を出力バイアス電圧が+5Vから-300Vへ徐々に変化するように制御する。

また、制御回路22は電源制御信号RC。を時刻 t_1 でハイレベルとし、スイッチ回路46をオンに制御する。これにより、PA152。には時刻 t_1 で電源電圧+10Vが印加される。

その後時刻 t_2 でバイアス電圧が-300Vに達し、A点、B点の状態が第5図(E)に模式的に

示す如く開放状態となると、制御回路22は第5図(B)に示す如くハイレベルの制御信号ATT CONT。を発生してAGC回路155。を制御し、可変減衰器154。の利得を所定値とし、PAユニット152。から所定レベルの出力を取り出させる。このように、PAユニット15。の再始動時は停止時と逆の動作が行なわれ、電源電圧印加時の急激な電圧印加による回路素子の劣化等を防止することができる。

次に本発明の第2実施例の要部について第6図と共に説明する。同図中、第1図及び第2図と同一構成部分には同一符号を付し、その説明を省略する。本実施例は第1のスイッチ13。、13。に相当するPINダイオードD。' ~ D。' のアノードをPAユニット15。、15。の入力端に直列接続し、かつ、第2のスイッチ16。、16。に相当するPINダイオードD。' ~ D。' のアノードをPAユニット15。、15。の出力端に直列接続した点に特徴を有する。

また、51。、51。及び52。、52。はバ

イアス用コイルである。更に伝送線路(TL)124。、124。、174。、174。は特性インピーダンスがTL122。、122。、171。、171。のそれと同じ50Ωであるが、PAユニット15。、15。側が開放となったとき、分岐点や合成点が開放となるようその長さが $\lambda/2$ (又はその整数倍)に設定されている点がTL122。、122。、171。、171。と異なる。

本実施例はPAユニット15。、15。使用時はPINダイオードD。' ~ D。' のアノードにバイアス用コイル(図示せず)を介して正の直流電圧を与えて順方向にバイアスしてPINダイオードD。' ~ D。' をオンとし、かつPINダイオードD。' ~ D。' も同様にして順方向にバイアスしてオンとする。

また、PAユニット15。、15。のうち任意のPAユニットを切り離す場合は、PINダイオードD。' ~ D。'、D。' ~ D。'のうち切り離すべきPAユニットの入力側と出力側の2つのPINダイオードのアノードに夫々負の直流電

圧を与えて逆バイアスし、これらをオフとする。これにより、TL124。、124。、174。、174。のうち、オフとされたPINダイオードに接続されているTLのインピーダンスがPAユニット側の点で開放となり、またその入力分岐点又はその出力合成点でも開放となる。

本実施例も第1実施例と同様にPAユニットの停止時と再始動時にバイアス電圧の緩慢な制御や電源電圧の印加タイミングを制御しているので、第1実施例と同様の効果を得る。

なお、本発明は以上の各実施例に限定されるものではなく、例えば第4図に示した実施例においてPAユニット15。では可変減衰器154。をPAユニット15。の停止時及び再始動時に制御したが、制御しなくてもPINダイオードD。' ~ D。'のバイアス電圧の緩慢な変化制御によって実施例より効果は劣るものの従来よりも他のPAユニットへの影響を低減することができる。

また、スイッチ13。、13。、16。、16。として各実施例ではPINダイオードを使

用しているが、これに限らずリレー又は同軸スイッチを用いることができる。この場合、リレーや同軸スイッチはP I Nダイオードのようなオンとオフの中間の能動領域という動作状態はなく、オンかオフのいずれかの2値状態しかないから、前記したバイアス電圧の緩慢な変化制御は行なえないが、可変減衰器154を用いてPAユニット停止時はPAユニットの出力レベルを最小値に落としてから電源電圧を切断し、一方PAユニット再始動時は、電源電圧を投入してからPAユニットの出力レベルを所要値にするような制御を行なうことで、前記各実施例と同様の効果を実現することができる。

(発明の効果)

上述の如く、本発明によれば、増幅ユニットの入出力端に接続されるスイッチとしてダイオードを使用した場合は、少なくともそのバイアス電圧を増幅ユニットの入力信号のシンボルレートより十分遅い速度で緩慢に変化させて切り離したり又

第6図は本発明の第2実施例の要部の構成図、
第7図は従来の増幅装置の一例の構成図である。

図において、

- 11は第1のサーキュレータ、
- 12はm分配器、
- 13、～13。は第1のスイッチ、
- 14は入力分配器、
- 15、～15。、15。は増幅ユニット(PAユニット)、
- 16、～16。は第2のスイッチ、
- 17は合成器、
- 18は第2のサーキュレータ、
- 19は出力電力合成器、
- 20は出力端子、
- 21、～21。は電源部、
- 211は電圧供給手段、
- 212は電源電圧印加手段、
- 22は制御回路、
- 41～43は電源回路、

は接続するようにしたため、増幅ユニットの停止時や再始動時に他の増幅ユニットの動作に悪影響を与えることを防止することができ、また上記スイッチとしてリレー又は同軸スイッチを使用した場合、増幅ユニット内の可変減衰器を用いて増幅ユニット停止時は増幅ユニットの出力レベルを最小値に落としてから電源電圧を切断し、増幅ユニット再始動時は電源電圧を投入してから増幅ユニットの出力レベルを所要値に上げるようにしたため、他の増幅ユニットの動作や回路素子への悪影響を防止することができる等の特長を有するものである。

4. 図面の簡単な説明

- 第1図は本発明の原理構成図、
- 第2図は本発明の第1実施例の要部の構成図、
- 第3図は出力電力合成器及び入力分配器の等価回路図、
- 第4図は本発明の要部の一実施例の構成図、
- 第5図は第4図の動作説明用タイムチャート、

- 44は切換回路、
- 45は立上り立下り制御回路、
- 154は可変減衰器(VATT)、
- 155はAGC回路を示す。

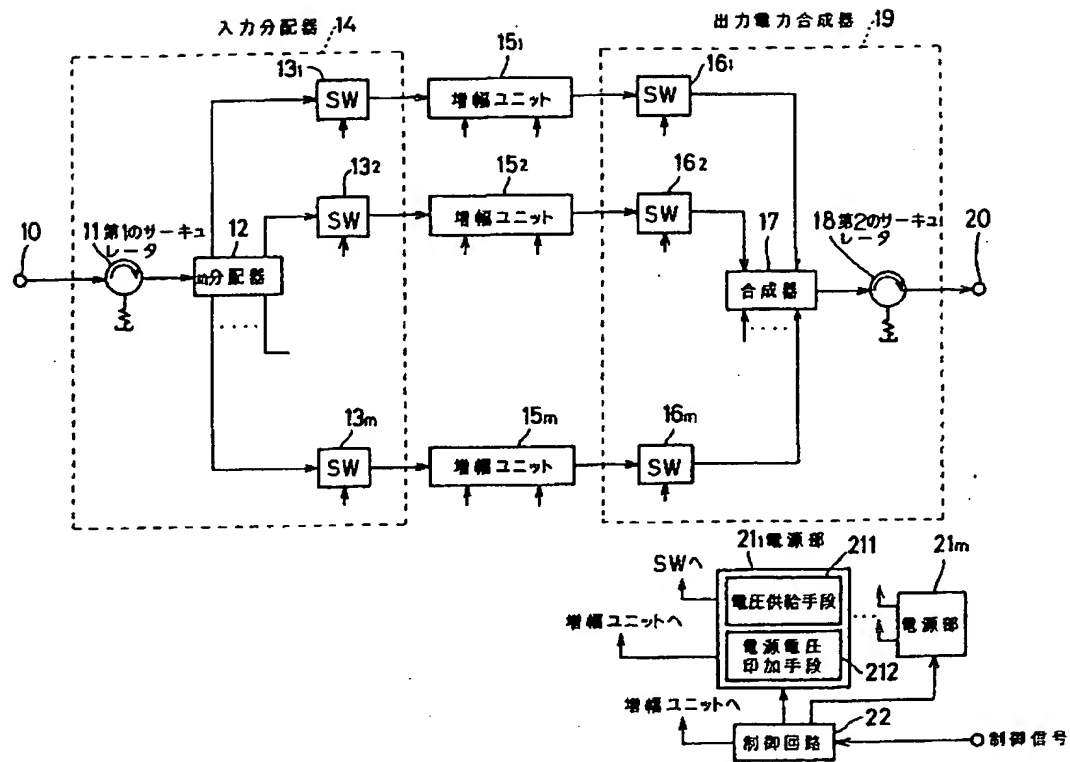
特許出願人 富士通株式会社

代理人 弁理士 伊東忠彦

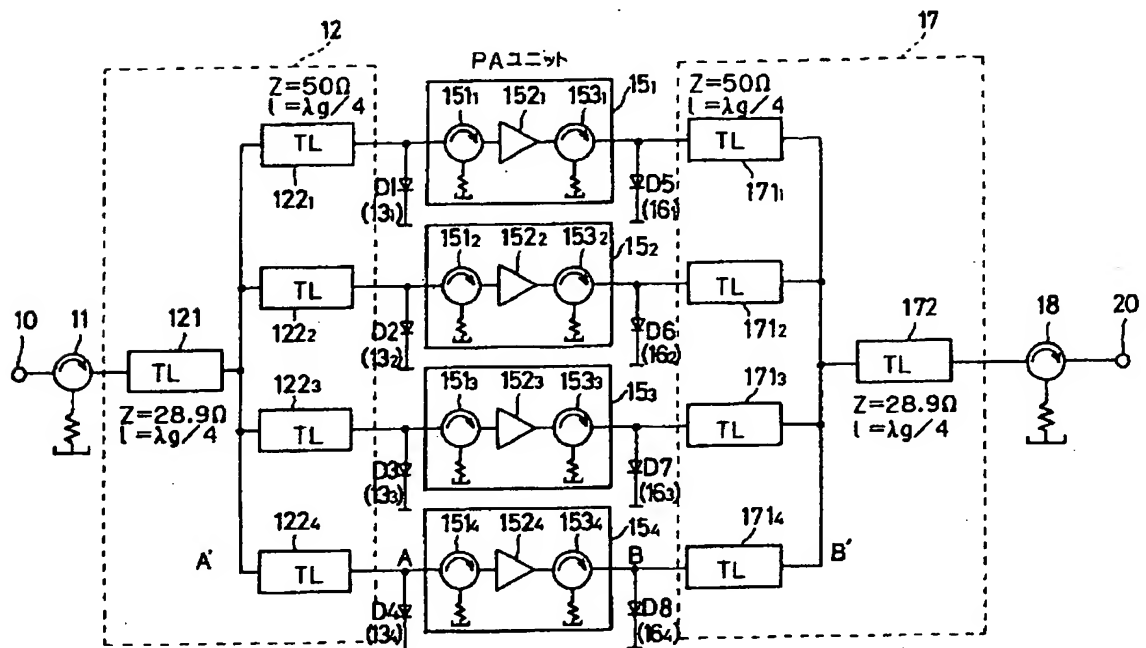
同 弁理士 松浦兼行

同 弁理士 片山修平

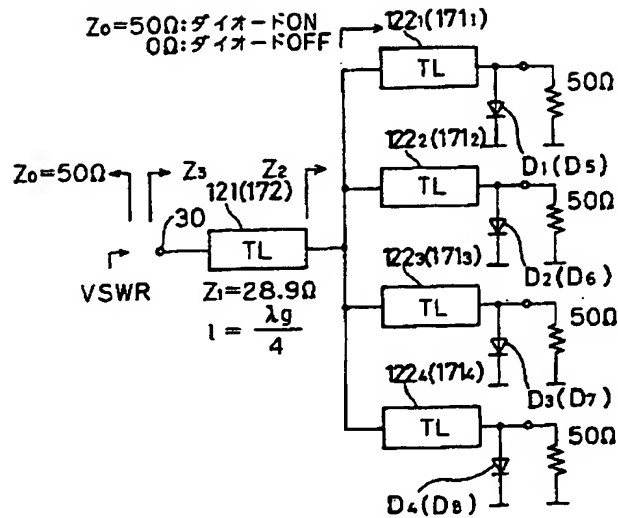




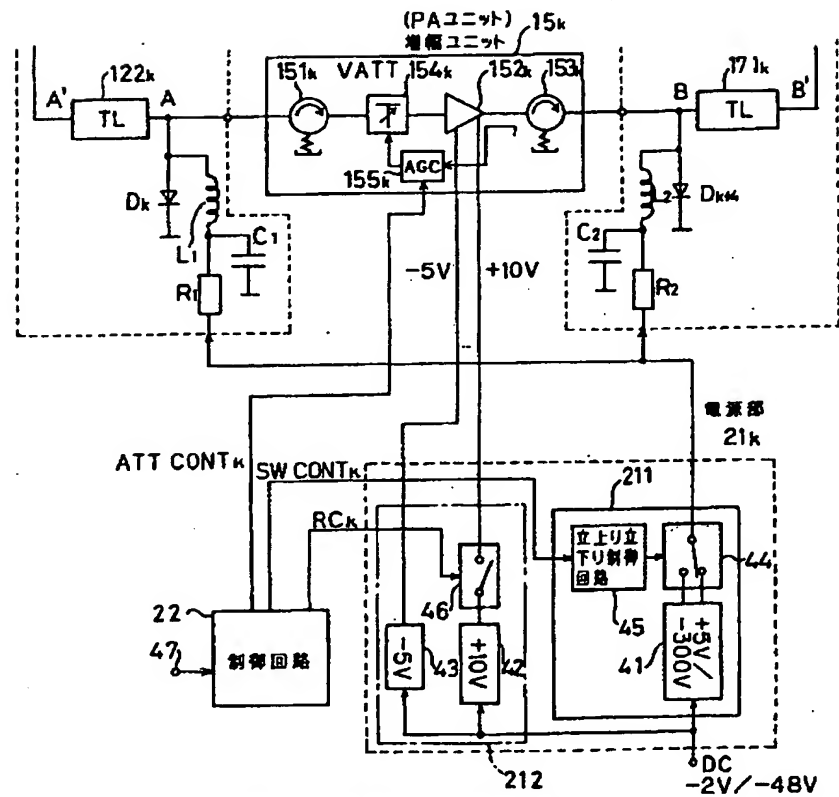
本発明の原理構成図
第 1 図



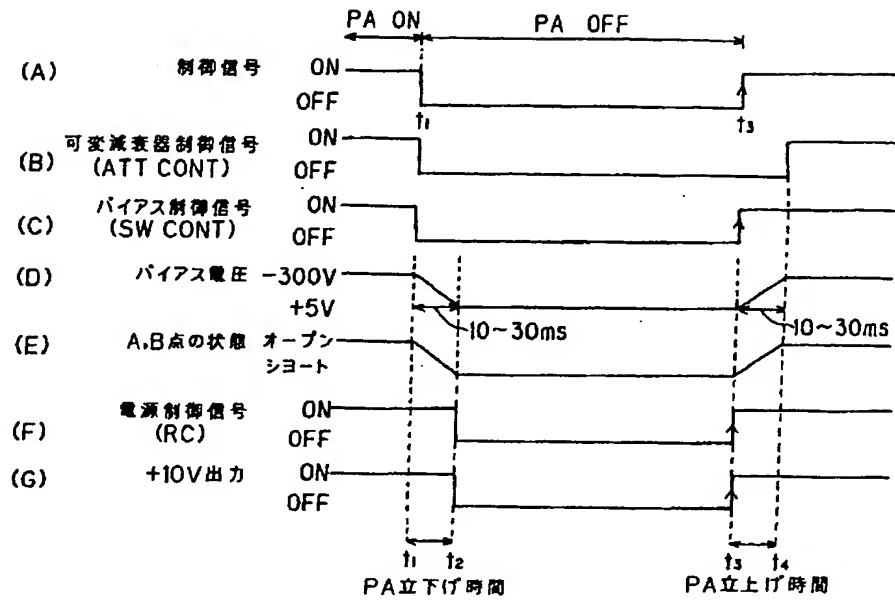
本発明の第1実施例の要部の構成図
第 2 図



出力電力合成器及び入力分配器の等価回路
第 3 図

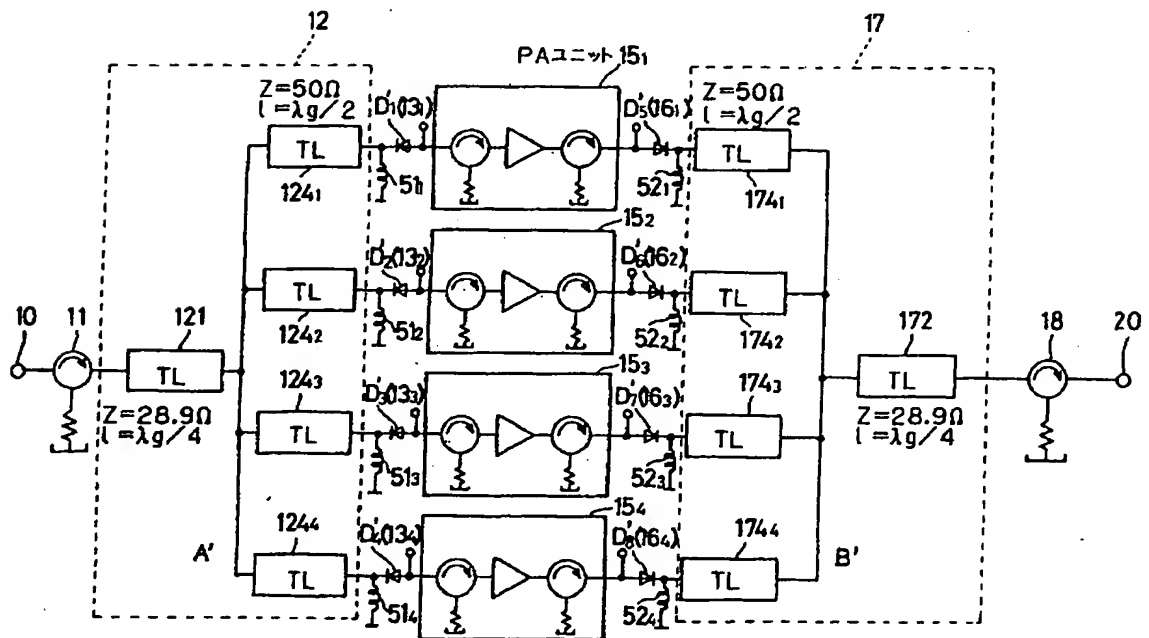


本発明の要部の一実施例の構成図
第 4 図



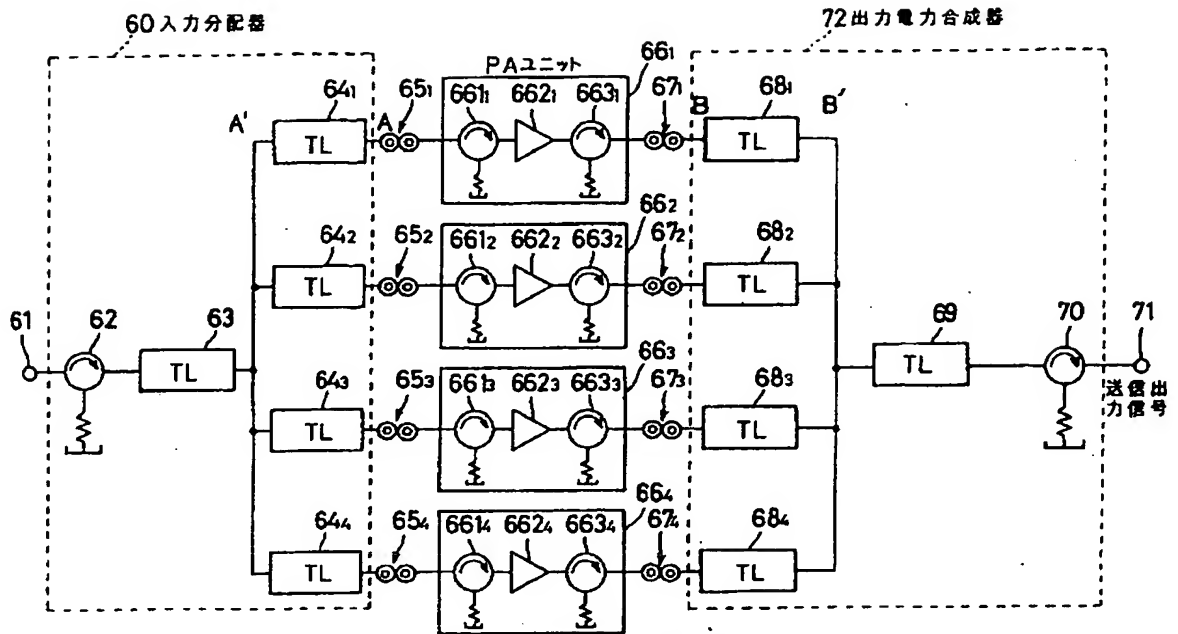
第4図の動作説明用タイムチャート

第 5 図



本発明の第2実施例の要部の構成図

第 6 図



従来の増幅装置の一例の構成図

第 7 図